

Docket No.: P2001,0099

APR 29 2002

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231, on the date indicated below.

By: Markus NOLFF

Date: April 23, 2002

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Gunnar Krause et al.
Applic. No. : 10/075,539
Filed : February 14, 2002
Title : Memory Configuration
Art Unit : 2811

RECEIVED
MAY - 1 2002
TECHNOLOGY CENTER 2800

CLAIM FOR PRIORITY

Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 199, based upon the German Patent Application 101 06 817.4, filed February 14, 2001.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Markus NOLFF
For Applicants

MARKUS NOLFF
REG. NO. 37,006

Date: April 23, 2002

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/kf



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung



Aktenzeichen: 101 06 817.4

Anmeldetag: 14. Februar 2001

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Speicheranordnung

IPC: G 11 C 11/407



Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 11. Februar 2002
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Brand

Beschreibung

Speicheranordnung

- 5 Die Erfindung betrifft eine Speicheranordnung mit mindestens zwei Halbleiterspeicherbausteinen, bei denen Daten in Abhängigkeit von einem Taktsignal ausgegeben und eingegeben werden.
- 10 Bei synchron betriebenen Halbleiterspeichern erfolgt die Ein- und Ausgabe von Daten und Befehlen taktsynchron zu einem extern anliegenden Betriebstakt. Einerseits sind Halbleiterspeicher bekannt, bei denen Befehle und Daten synchron mit der steigenden Flanke des Taktsignals gültig vorliegen. Diese
- 15 Art von synchronen Halbleiterspeichern wird als SDRAM (Synchronous Dynamic Random Access Memory) bezeichnet. Andererseits sind synchron arbeitende Halbleiterspeicher bekannt, bei denen die Daten synchron mit steigender und fallender Taktflanke gültig anliegen. Beim Lesen sind die Datenwerte um
- 20 einen Vierteltakt verschoben synchron zu einer Flanke des Taktsignals und beim Schreiben synchron zu den Flanken des Taktsignals gültig. Diese Art von Halbleiterspeichern wird als DDR SDRAM (Double Data Rate Synchronous Dynamic Random Access Memory) bezeichnet. Aufgrund der geringeren Anforderungen an die Toleranz der Schaltungen sind SDRAMs kostengünstiger herstellbar als DDR SDRAMs. Die Konzeption von DDR
- 25 SDRAMs ist jünger, so daß deren Produktion und Verfügbarkeit erst anläuft, während bereits genügend SDRAMs am Markt verfügbar sind. Es besteht daher ein Bestreben, Systemarchitekturen mit SDRAMs bedienen zu können, die DDR SDRAM-
- 30 Funktionalität aufweisen, um die höhere Datenrate bei DDR SDRAMs ausnützen zu können.

- Die Aufgabe der Erfindung besteht darin, eine Speicheranordnung anzugeben, die SDRAMs enthält und extern DDR SDRAM-
- 35 Funktionalität aufweist.
- Zusatz
Anspruch

Gemäß der Erfindung wird diese Aufgabe durch eine Speicheranordnung, die umfaßt: mindestens zwei Halbleiterspeicherbausteine, die durch je ein zugeordnetes internes Taktsignal steuerbar sind und die Daten nur an einer steigenden oder nur an einer fallenden Flanke ausgeben oder empfangen; eine Schnittstelleneinrichtung, der ein externes Taktsignal zuführbar ist und die an einer steigenden und einer unmittelbar darauffolgenden fallenden Flanke des externen Taktsignals Daten empfängt oder zwischen einer steigenden und einer unmittelbar darauf fallenden Flanke des externen Taktsignals Daten abgibt; und eine Umsetzungseinrichtung, die zwischen die Schnittstelleneinrichtung und die mindestens zwei Halbleiterspeicher geschaltet ist, um die Daten zum Ausgeben oder Empfangen umzusetzen.

Die Speicheranordnung gemäß der Erfindung weist zwei Blöcke von SDRAMs auf, die Daten nur zu einem Flankentyp, also jeweils stets nur einer negativen oder stets nur einer positiven Flanke des Taktsignals, gültig verarbeiten, also ein- oder ausgeben, welches auch als Schreiben oder Lesen bezeichnet wird. Nach außen hin sorgt eine Schnittstelleneinrichtung dafür, daß die Speicheranordnung als DDR SDRAM mit entsprechender Funktionalität angesehen wird. Eine Umsetzungseinrichtung bewirkt, daß die von außen anliegenden einzugebenden oder auszugebenden Befehle, Daten und sonstigen Signale nach innen hin auf die Anforderungen der SDRAMs angepaßt werden. Die Halbleiterspeicherbausteine sowie die Schnittstellen- und die Umsetzungseinrichtung sind auf einer einzigen Schaltungsplatine, einem sogenannten Speichermodul, angeordnet. Je nach Anzahl von parallel zu verarbeitenden Datenbits, der sogenannten Datenwortbreite, kann eine Vielzahl von SDRAMs den mindestens zwei SDRAMs parallel geschaltet sein. In allgemeiner Form enthält das Modul also zwei Gruppen von jeweils parallel angesteuerten SDRAMs. Dadurch wird ein Speichermodul geschaffen, das im internen Aufbau herkömmliche, relativ kostengünstig herstellbare SDRAMs aufweist, nach außen hin jedoch DDR SDRAM-Eigenschaften hat. Das Modul ist einfacher,

flexibler und schneller produzierbar als ein monolithisch integrierter DDR SDRAM.

Die den beiden Gruppen von SDRAMs zuführbaren Taktsignale sind um 180 Grad, also um einen halben Takt, verschoben. Die Umsetzungseinrichtung erzeugt diese komplementären Taktsignale mit einem Verzögerungsregelkreis, dem eingangsseitig das von der Schnittstelleneinrichtung gelieferte externe Taktsignal zugeführt wird und die ausgangsseitig die beiden komplementären Taktsignale an die entsprechenden Taktsignaleingänge der beiden Gruppen von SDRAMs weiterleitet.

Der Lesevorgang sowie der Schreibvorgang werden durch negative Impulse zweier Steuersignale erzeugt, nämlich dem Steuersignal für den Zeilenzugriff RAS (Row Address Strobe) und dem Steuersignal für den Spaltenzugriff CAS (Column Access Strobe). Bekanntlich sind die Speicherzellen in Zeilen und Spalten angeordnet und durch eine aus der Adresse der Speicherzelle ermittelte Spalten- und Zeilenadresse auswählbar. Das gültige Anliegen der jeweiligen Zeilen- oder Spaltenadresse wird durch die Signale RAS, CAS angegeben.

Beim Empfangen von Daten oder dem Schreiben liegen bei SDRAMs die Signale RAS und CAS jeweils an der negativen Flanke um zwei Taktperioden voneinander getrennt vor. Beim DDR SDRAM liegen die Signale RAS und CAS um zwei Taktperioden voneinander getrennt an der steigenden Flanke vor. Bei SDRAMs liegt gleichzeitig mit dem bei der fallenden Flanke gültigen Signal CAS auch flankenzentriert der entsprechende Datenwert zur Eingabe an den Speicherbaustein an. Bei DDR SDRAMs werden beim Schreiben die Daten flankenzentriert als gültig angesehen, wobei zwei Taktperioden nach dem Anliegen des Signals CAS an einer steigenden Flanke des Taktsignals die Daten empfangen werden. Die entsprechende Umsetzung von Befehlen und Daten des DDR SDRAM-Protokolls, nach welchem Daten und Befehle von außen an die Schnittstelle angelegt werden, auf das SDRAM-Protokoll, welches unmittelbar an den Halbleiterspei-

cherbausteinen auf dem Modul abläuft, erfolgt durch die Umsetzungseinrichtung. So werden die an die Schnittstelle angelegten Impulse der Signale RAS und CAS bezüglich des externen angelegten Taktsignals um $3 \frac{1}{2}$ Taktperioden verzögert und dann an die erste Gruppe der SDRAMs angelegt. Die Signale RAS und CAS werden um 3 Taktperioden verzögert und an die zweite Gruppe von SDRAMs angelegt. Die von außen eingegebenen Daten werden zum Anlegen an die erste Gruppe von SDRAMs um genau einen Takt bezüglich des externen Taktsignals verzögert und zum Anlegen an die zweite Gruppe von SDRAMs ebenfalls um genau einen Takt.

Beim Lesen oder Ausgeben von Daten liegen bei einem SDRAM die Datenflanken zentriert zum Taktsignal um zwei Takte nach dem Impuls des Signals CAS ausgangsseitig vor. Bei einem DDR SDRAM liegen die Daten um $2 \frac{1}{4}$ Takte nach einem Impuls des Signals CAS vor, also zentriert auf die Mitte einer Halbperiode des Taktsignals für das DDR SDRAM. Daher sind bei einem Lesezugriff auf die DDR SDRAM-Schnittstelle die Signale RAS und CAS an die erste Gruppe der SDRAMs unmittelbar anzulegen und an die zweite Gruppe um einen halben Betriebstakt des Taktsignals für das DDR SDRAM verzögert. Die Daten werden zum Auslesen von der ersten Gruppe der SDRAMs an die DDR SDRAM-Schnittstelle von der Umsetzungseinrichtung um ein Viertel einer Taktperiode des externen Taktsignals verzögert und beim Auslesen aus der zweiten Gruppe der SDRAMs ebenfalls um ein Viertel einer Taktperiode.

Die entsprechende Umsetzung von Befehlssignalen und Datensignalen wird von der Umsetzungseinrichtung wie oben angegeben bewirkt. Die Umsetzungseinrichtung enthält einen Umschalter, über den Daten in der entsprechenden Wortbreite ein- und ausgegeben werden können. Der Umschalter hat die Funktion eines Multiplexers bzw. Demultiplexers. Der gemeinsame Anschluß des Umschalters ist mit der Schnittstelleneinrichtung verbunden, die abwechselnd ansteuerbaren Ausgänge des Umschalters sind mit den jeweiligen Datenanschlüssen der verschiedenen Gruppen

der SDRAMs verbunden. Die Umschaltung erfolgt in Abhängigkeit vom Verzögerungsregelkreis bei jedem Pegelwechsel des extern zugeführten Taktsignals, also mit doppelter Frequenz des extern zugeführten Taktsignals. Die Daten werden beim Lesen und Schreiben so von den beiden Gruppen von SDRAMs zusammengesetzt bzw. an die beiden Gruppen aufgeteilt, daß von der externen Schnittstelle her gesehen Daten der ersten Gruppe und der zweiten Gruppe miteinander abwechseln.

- 10 Das DDR SDRAM-Zugriffsprotokoll sieht vor, daß die Validierung der eingelesenen und ausgegebenen Daten synchron zu einem Abtasttakt erfolgt. Das zu erzeugende Taktsignal wird als sogenanntes Data-Strobe-Signal DQS bezeichnet. Die Umsetzungseinrichtung weist einen solchen DQS-Signalgenerator auf.
- 15 Beim Lesen werden Daten und das Signal DQS derart erzeugt, daß eine Flanke des Datensignals, das den auszugebenden Datenwert repräsentiert, an einer Flanke des Signals DQS ausgerichtet ist und daß beim Schreiben eines Datenwerts einer der logischen Signalpegel des den Datenwert repräsentierenden Datensignals an einer Flanke des Signals DQS ausgerichtet ist.
- 20 Die Bedeutung des Signals DQS ist im Stand der Technik bekannt und beispielsweise in der Literaturstelle Design Line der Firma Micron Technology Incorporated, Band 8, Ausgabe 3, 3. Quartal 1999, mit dem Titel "DDR SDRAM Functionality and Controller Read Data Capture" beschrieben.

Nachfolgend wird die Erfindung anhand des in der Zeichnung dargestellten Ausführungsbeispiels näher erläutert. Es zeigen

- 30 Figur 1 ein Blockschaltbild eines die Speicheranordnung gemäß der Erfindung enthaltenden Speichermoduls,
- Figur 2 Signalverläufe während eines Lesezugriffs und
- 35 Figur 3 Signalverläufe während eines Schreibzugriffs.

Das in Figur 1 dargestellte Speichermodul 1 umfaßt zwei Gruppen von SDRAMs 2 und 3, eine Umsetzungseinrichtung 4 sowie eine Schnittstelle 5. Die Schnittstelle 5 weist einen Anschluß 51 für ein Taktsignal CLK, Anschlüsse 52 für Befehle, Anschlüsse 53 zur Datenein- und Datenausgabe und Anschlüsse 54 für das Data-Strobe-Signal DQS auf. Das Taktsignal CLK ist ein den synchronen Speicherbetrieb steuerndes Taktsignal. Zur Befehlseingabe werden verschiedene Kombinationen von Signalzuständen des Row-Address-Strobe-Signals RAS, des Column-Address-Strobe-Signals CAS und eines Schreib-/Lesesignals WR ausgewertet. Für die Daten DATA stehen entsprechend der Wortbreite ein oder mehrere Anschlüsse zur Verfügung. Das Signal DQS am Anschluß 54 dient zur Validierung der am Anschluß 53 vorliegenden zu schreibenden oder zu lesenden Daten. Beispielsweise ist das Modul 1 in einen Steckplatz eines Computers eingesetzt, dessen Bus nach DDR SDRAM-Protokoll arbeitet. Der Bus und sämtliche der Anschlüsse 51, 52, 53, 54 werden von einem Speicher-Controller angesteuert. Die mit DDR SDRAM-Funktionalität busseitig an der Schnittstelle 5 des Moduls 1 anliegenden Befehls-, Takt- und Datensignale werden durch die Umsetzungseinrichtung 4 so umgesetzt, daß herkömmliche SDRAMs 2 und 3 ansteuerbar sind.

Entsprechend der Wortbreite der am Anschluß 53 zugeführten Daten DATA sind eine zu der Anzahl der Anschlüsse 53 identische Anzahl von SDRAM-Speicherbausteinen jeweils in den Gruppen 2 und 3 vorgesehen. Sämtliche SDRAMs der Gruppen 2 und 3 werden parallel angesteuert. Die Gruppen 2 und 3 der SDRAMs werden an ihren jeweiligen Anschlüssen 21 bzw. 31, 22 bzw. 32 und 23 bzw. 33 mit Taktsignalen CLK1, CLK2, Befehlen RAS1, CAS1, RAS2, CAS2 und Daten DATA1, DATA2 angesteuert.

Die zwischen DDR SDRAM-Funktionalität und reiner SDRAM-Funktionalität umsetzende Steuerungseinrichtung 4 weist einen Verzögerungsregelkreis 41 auf, dem eingangsseitig das Taktsignal CLK zugeführt wird und der ausgangsseitig die Taktsignale CLK1, CLK2, die komplementär zueinander sind, erzeugt. Die

Umsetzungseinrichtung 4 weist weiterhin einen Befehlsdecoder 42 auf, der mit den Anschlüssen 52 verbunden ist und in Abhängigkeit von den ihm zugeführten Signalen entsprechende Befehle für Lesen, Schreiben, Wiederauffrischung, Standby-
5 Zustand usw. umsetzt. Im vorliegenden Fall sind von besonderem Interesse die Befehlssignale für Schreiben und Lesen. Ein Pufferspeicher 43 dient zur Zwischenspeicherung der vom Befehlsdecoder 42 detektierten Befehle und verzögert die Signale für RAS und CAS wie im Zusammenhang mit den Figuren 2 und
10 3 unten ausgeführt zur Weiterleitung an die SDRAM-Gruppen 2 und 3. Darüber hinaus ist vergleichbar zum Pufferspeicher 43 ein Adreßpuffer vorgesehen, um die über die Schnittstelleneinrichtung 5 angelegten Adressen für die Speicherzellen an die SDRAM-Gruppen 2 und 3 zeitgerecht umzusetzen und weiter-
15 zuleiten. Wesentlich ist ein Multiplexer und Demultiplexer 44, durch den die Datenanschlüsse 53 der Schnittstelle 5 mit den Datenanschlüssen 23 und 33 der SDRAM-Gruppen 2 und 3 verbunden werden. Der Umschalter 44 arbeitet bidirektional. Er schaltet jeweils abwechselnd bei Schreib- und Lesevorgängen
20 zwischen den SDRAM-Gruppen 2 und 3 um, um am Ausgang 53 eine Folge von Datenwerten zu erzeugen bzw. abzugreifen, die abwechselnd den SDRAM-Gruppen 2 und 3 zuordnenbar sind. Der Umschalter 44 ist bei jedem halben Takt des externen Taktsignals CLK entweder in die eine oder in die andere Stellung zu
25 schalten, so daß entsprechend der doppelten DDR SDRAM-Datenrate die Anschlüsse 53 wechselweise mit den Anschlüssen 23 und 33 verbunden werden. Die Datenwerte sind in im Zusammenhang mit den Figuren 2 und 3 noch detaillierter angegebener Weise beim Lesen und Schreiben um verschiedene Anteile
30 einer Taktperiode des externen Taktsignals CLK zu verzögern. Daher sind in die Signalpfade zwischen dem Umschalter 44 und den SDRAM-Gruppen 2 und 3 jeweilige Datenpufferspeicher 45 und 46 zur Zwischenspeicherung eines Datenworts geschaltet. Die Pufferspeicher 45, 46 werden von vom Verzögerungsregel-
35 kreis 41 entsprechend bereitgestellten Taktsignalen taktweise gesteuert.

Der Zeitablauf von Daten-, Befehls- und Taktsignalen während eines Lesezugriffs ist in Figur 2 dargestellt. Ein Lesezugriff wird dem Modul 1 von außen durch negative Impulse der Signale RAS, CAS bei um zwei Taktperioden auseinanderliegenden steigenden Flanken 61, 62 des Taktsignals CLK mitgeteilt. Das Taktsignal CLK wird gleichzeitig auch an die SDRAM-Gruppe 2 angelegt. Die Datenwerte DATA werden dann um $2 \frac{1}{4}$ Taktperioden verzögert am Ausgangsanschluß 53 abgegriffen. Die Datenwerte DATA weisen jeweils ein Bit 64, 65, 66, 67 auf, das abwechselnd vom Signal DATA1 der SDRAM-Gruppe 2 oder vom Signal DATA2 der SDRAM-Gruppe 3 bereitgestellt wird. Das Datenbit 64 sowie die weiteren Datenbits während eines Lesevorgangs bei einem DDR SDRAM liegen synchron zur Mitte eines Taktimpulses, z. B. 63, des externen Taktsignals CLK gültig an.

Der von außen an das Modul angelegte Lesebefehl wird unverzögert an die SDRAMs 2 weitergeleitet. Das bedeutet, daß die Signale RAS, CAS an den Anschlüssen 52 als Signale RAS1, CAS1 an die SDRAMs 2 weitergeleitet werden. In Figur 2 erfolgt dies ohne Verzögerung. Für die technische Realisierung ist gegebenenfalls aufgrund der Signal- und Verarbeitungszeiten innerhalb der Umsetzungseinrichtung 4, insbesondere zur Einhaltung von Setup- und Hold-Zeiten, eine Verzögerung um eine Taktperiode des Signals CLK einzubeziehen. Eine solche Verzögerung ist zur Vereinfachung in Figur 2 nicht dargestellt. Nachdem die Signale RAS1, CAS1 und impulssynchron die zugehörigen Zeilen- und Spaltenadressen an die SDRAMs 2 angelegt worden sind, steht nach dem Impuls CAS1 um zwei Taktperioden verzögert synchron zur Flanke 68 der Datenwert 64' des Datensignals DATA1 an den SDRAMs 2 zur Verfügung. Da gemäß der SDRAM-Spezifikation beim Lesen ein Datenwert synchron mit der steigenden Flanke, z. B. 68, vorliegt, für DDR SDRAMs jedoch ein Datenwert synchron zur Mitte eines Taktimpulses, z. B. 63, vorliegt, ist der an den SDRAMs 2 ausgegebene Datenwert 64' bezüglich des Taktsignals CLK oder CLK1 um ein Viertel einer Taktperiode dieser Taktsignale zu verzögern.

Die Befehle RAS2, CAS2 und die dementsprechenden Zeilen- und Spaltenadressen sind den SDRAMs 3 synchron zur steigenden Flanke des Taktsignals CLK2 um jeweils 2 Taktperioden auseinanderliegend zuzuführen. Ausgehend von den von außen am Anschluß 52 angelegten Befehlen RAS, CAS sind bezüglich des externen Taktsignals CLK die Impulse RAS2, CAS2 um die Hälfte einer Taktperiode verzögert. Zur Berücksichtigung von Setup- und Hold-Zeiten ist, wie bereits oben ausgeführt, eine Verzögerung um eine weitere vollständige Taktperiode einzufügen. Bezogen auf das Taktsignal CLK2 liegt der von den SDRAMs 3 ausgelesene Datenwert 65' an der steigenden Flanke zwei Taktperioden später vor. Er ist um ein Viertel einer Taktperiode zu verzögern, um als Datenwert 65 im Datensignal DATA am Anschluß 53 des Moduls 1 ausgegeben werden zu können.

Die Verzögerung der Datenwerte 64' und 65' um die halbe Taktperiode wird durch entsprechende Ansteuerung der Pufferspeicher 45, 46 bewirkt. Die Umschaltung auf den Ausgangsanschluß 53 erfolgt durch eine Umschaltung des Umschalters 44 bei jeder halben Taktperiode des Signals CLK.

Der Schreibvorgang in Figur 3 zeigt die Signals RAS, CAS an je einer steigenden Flanke des Signals CLK. Gleichzeitig mit den negativen Impulsen der Signale RAS, CAS werden Zeilen- und Spaltenadressen angelegt. Die Unterscheidung zwischen Lesen und Schreiben wird durch das am Anschluß 52 zugeführte Signal WR gesteuert. Mit der steigenden Flanke zwei Taktperioden nach Anlegen des Signals CAS verzögert liegen Datenbits 74, 75, 76, 77 für das Datensignal DATA an den Datenanschlüssen 53 des Moduls 1 an. Der Schreibbefehl und die entsprechenden Spalten- und Zeilenadressen werden den SDRAMs 2 um drei volle Taktperioden des externen Taktsignals CLK verzögert mitgeteilt. Entsprechend der SDRAM-Funktionalität sind die Daten synchron mit dem Zeilenadreßimpuls CAS1 bereitzustellen. Die Datenbits 74 sind daher um eine Taktperiode des Taktsignals CLK zu verzögern und als Datenbits 74' synchron

mit dem Impuls CAS1 den SDRAMs2 zuzuführen. Die Verzögerung wird durch den Zwischenspeicher 45 und die geeignete aus der Verzögerungsregelschleife 41 abgeleitete Taktansteuerung bewirkt.

5

Den SDRAMs 3 werden Zeilen- und Spaltenadressen synchron mit den Zeilen- und Spaltenadreßimpulsen RAS2, CAS2 zugeführt, welche aus den von extern angelegten Zeilen- und Spaltenimpulsen RAS, CAS und Zeilen- und Spaltenadressen durch Verzögerung um $3 \frac{1}{2}$ Takte des externen Taktsignals CLK erzeugt werden. Daraufhin liegt synchron mit dem Spaltenadreßimpuls CAS2 der Datenwert 75' an den Datenanschlüssen 33 der SDRAMs 3 an. Die Datenbits 75' werden aus den Datenbits 75 des am Anschluß 53 anliegenden Datensignals DATA durch Verzögerung um eine volle Taktperiode erhalten. Die Verzögerung bewirkt der Zwischenspeicher 46 durch geeignete Taktansteuerung.

10

15

Wie oben dargestellt, wird durch die Erfindung ermöglicht, daß das Modul 1 über die Schnittstelle 5 von außen her gesehen die Funktionalität eines DDR SDRAMs aufweist, während innerhalb des Moduls 1 herkömmliche SDRAMs verwendet werden, wobei die Umsetzung zwischen DDR SDRAM- und reiner SDRAM-Funktionalität durch den Umsetzer 4 bewirkt wird.

20

25

Der Umsetzer 4 weist darüber hinaus einen herkömmlichen Signalgenerator 47 zur Erzeugung eines Taktsignals DQS auf, welches bei DDR SDRAMs verwendet wird, um die zeitliche Validierung der im Datensignal DATA vorliegenden Daten anzugeben. Die Bedeutung des DQS-Signals und dessen relative Phasenlage zu den zu lesenden oder zu schreibenden Daten ist auf Seite 5 der obengenannten Literaturstelle in Micron Design Line angegeben. Beim Lesen sind die Flanken des Signals DQS an den Flanken der Daten DATA ausgerichtet. Beim Schreiben sind die Flanken des Signals DQS auf die Mitte eines Impulses des Datensignals DATA ausgerichtet.

30

35

Patentansprüche

1. Speicheranordnung, umfassend:

- mindestens zwei Halbleiterspeicherbausteine (2, 3), die
5 durch je ein zugeordnetes internes Taktsignal (CLK1, CLK2)
steuerbar sind und die Daten nur an einer steigenden oder nur
an einer fallenden Flanke ausgeben oder empfangen,
- eine Schnittstelleneinrichtung (5), der ein externes Takt-
signal (CLK) zuführbar ist und die an einer steigenden und
10 einer unmittelbar darauffolgenden fallenden Flanke des exter-
nen Taktsignals (CLK) Daten (DATA) empfängt oder zwischen ei-
ner steigenden und einer unmittelbar darauf fallenden Flanke
des externen Taktsignals (CLK) Daten (DATA) abgibt, und
- eine Umsetzungseinrichtung (4), die zwischen die Schnitt-
15 stelleneinrichtung (5) und die mindestens zwei Halbleiter-
speicher (2, 3) geschaltet ist, um die Daten zum Ausgeben
oder Empfangen umzusetzen.

2. Speicheranordnung nach Anspruch 1,

- 20 d a d u r c h g e k e n n z e i c h n e t, daß
das externe Taktsignal (CLK) der Schnittstelleneinrichtung
(5) zuführbar ist und die Umsetzungseinrichtung (4) komple-
mentäre Taktsignale (CLK1, CLK2) erzeugt, von denen eines
(CLK1) einem ersten der Halbleiterspeicherbausteine (2) und
25 ein anderes (CLK2) einem zweiten (3) der Halbleiterspeicher-
bausteine zuführbar ist.

3. Speicheranordnung nach Anspruch 2,

- 30 d a d u r c h g e k e n n z e i c h n e t, daß
eine Verzögerungsregelschleife (41) vorgesehen ist, der ein-
gangsseitig das externe Taktsignal (CLK) zuführbar ist und
die ausgangsseitig das eine und das andere der internen Takt-
signale (CLK1, CLK2) erzeugt.

35 4. Speicheranordnung nach einem der Ansprüche 1 bis 3,

- d a d u r c h g e k e n n z e i c h n e t, daß
ein Befehlsdecoder (42) vorgesehen ist, durch den ein Befehl

zum Empfangen von Daten detektiert wird, der mindestens zwei Impulse (RAS, CAS) umfaßt, die an je einer steigenden Flanke des externen Taktsignals (CLK) vorliegen, und daß der Befehl zum Empfangen von Daten an dem ersten der Halbleiterspeicherbausteine (2) um 3 1/2 Taktperioden des externen Taktsignals (CLK) verzögert und an den zweiten der Halbleiterspeicherbausteine (3) um 3 Taktperioden des externen Taktsignals (CLK) verzögert weitergeleitet wird.

5 10 5. Speicheranordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß eine Detektionseinrichtung (42) vorgesehen ist, durch die ein Befehl zum Ausgeben von Daten detektiert wird, der zwei Impulse (RAS, CAS) umfaßt, die an je einer steigenden Flanke des externen Taktsignals (CLK) vorliegen, und daß der Befehl zum Ausgeben von Daten an den ersten der Halbleiterspeicherbausteine (2) höchstens um einen Takt des externen Taktsignals (CLK) verzögert und an den zweiten der Halbleiterspeicherbausteine (3) höchstens um 1 1/2 Taktperioden des externen Taktsignals (CLK) verzögert weitergeleitet wird.

5 6. Speicheranordnung nach Anspruch 4 oder 5, dadurch gekennzeichnet, daß der Befehl zum Ausgeben von Daten und der Befehl zum Empfangen von Daten jeweils umfaßt: zwei Impulse (RAS, CAS), die jeweils einen niedrigen Pegel aufweisen und die zentriert zu zwei um zwei Taktperioden auseinanderliegenden steigenden Flanken des externen Taktsignals (CLK) vorliegen.

30 7. Speicheranordnung nach einem der Ansprüche 2 bis 6, dadurch gekennzeichnet, daß ein Umschalter (44) vorgesehen ist mit einem Anschluß, der mit der Schnittstelleneinrichtung (5) verbunden ist, und zwei anderen Anschlüssen, zwischen denen umschaltbar ist und von denen einer mit einem Datensignalanschluß des ersten der Halbleiterspeicherbausteine (2) und ein anderer mit einem Datensignalanschluß des zweiten der Halbleiterspeicherbausteine

(3) verbunden ist, und daß die Ansteuerung des Umschalters (44) in Abhängigkeit von jedem Flankenwechsel des externen Taktsignals (CLK) steuerbar ist.

5 8. Speicheranordnung nach Anspruch 7,
d a d u r c h g e k e n n z e i c h n e t, daß
an einem Datensignalanschluß (53) der Schnittstelleneinrich-
tung (4) nach jeder halben Taktperiode des externen Taktsi-
gnals (CLK) abwechselnd ein Datenwert (64, 66, 74, 76) an-
10 liegt, der an dem ersten der Halbleiterspeicherbausteine (2)
aus- oder einzugeben ist, und ein Datenwert (65, 67, 75, 77),
der an dem zweiten der Halbleiterspeicherbausteine (3) aus-
oder einzugeben ist.

15 9. Speicheranordnung nach einem der Ansprüche 1 bis 8,
d a d u r c h g e k e n n z e i c h n e t, daß
die Umsetzungseinrichtung (4) einen Signalgenerator (47) ent-
hält, der ein Taktsignal erzeugt, dessen Flanken während der
Datenausgabe an den Flanken des Datensignals ausgerichtet ist
20 und das Flanken aufweist, die während der Dateneingabe an dem
binären Signalpegel des Datensignals ausgerichtet sind.

10. Speicheranordnung nach einem der Ansprüche 1 bis 9,
d a d u r c h g e k e n n z e i c h n e t, daß
den ersten und zweiten Halbleiterspeicherbausteinen (2, 3)
jeweils mindestens ein weiterer Speicherbaustein zur Speiche-
rung je eines weiteren Bits eines Datenworts parallel ge-
schaltet ist.

Zusammenfassung

Speicheranordnung

- 5 Ein Modul (1), das extern die Funktionalität von DDR SDRAMs aufweist, umfaßt intern zwei Gruppen (2, 3) herkömmlicher SDRAMs. Eine Umsetzungseinrichtung (4) sorgt für die Umsetzung von Taktsignalen (CLK, CLK1, CLK2), Befehlen (RAS, CAS, RAS1, CAS1, RAS2, CAS2) und Daten (DATA, DATA1, DATA2). Die
- 10 Umsetzungseinrichtung (4) umfaßt einen Umschalter (44), einen Verzögerungsregelkreis (41) und Pufferspeicher für Adressen und Befehle (43) sowie für die Daten (45, 46), die in geeigneter Weise von der Verzögerungsregelschaltung (41) angesteuert werden.

15

Figur 1

Bezugszeichenliste

	1	Speichermodul
	2	Halbleiterspeicher
5	3	Halbleiterspeicher
	4	Umsetzeinrichtung
	5	Schnittstelleneinrichtung
	21, 31	Taktanschlüsse
	22, 32	Befehlsanschlüsse
10	23, 33	Datenanschlüsse
	41	Verzögerungsregelkreis
	42	Befehlsdecoder
	43	Befehlspuffer
	44	Umschalter
15	45, 46	Pufferspeicher
	47	Taktgenerator
	51	Taktanschluß
	52	Befehlssignalanschlüsse
	53	Datensignalanschlüsse
20	54	Taktsignalausgang
	61, 62, 68	Flanken
	63	Taktimpulsmitte
	64, 65, 66, 67	Datenbits
	64', 65'	Datenbits
	74, 75, 76, 77	Datenbits
	74', 75'	Datenbits
	RAS, RAS1, RAS2	Zeilenadreßimpuls
	CAS, CAS1, CAS2	Spaltenadreßimpuls
	CLK	Externes Taktsignal
30	CLK1, CLK2	Internes Taktsignal
	DATA, DATA1, DATA2	Datensignale
	DQS	Datentaktsignal

113

Fig. 1

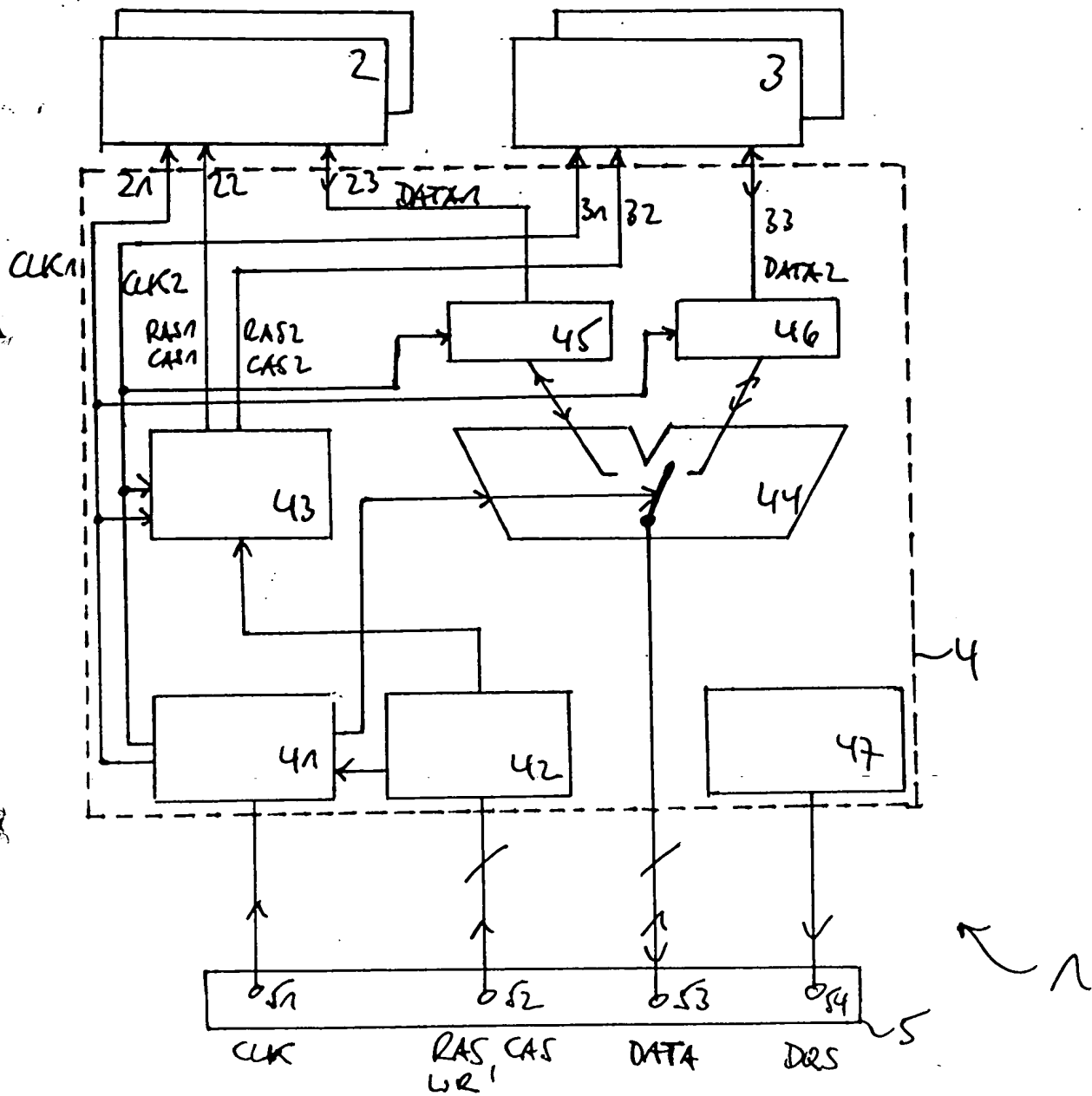


FIG. 2

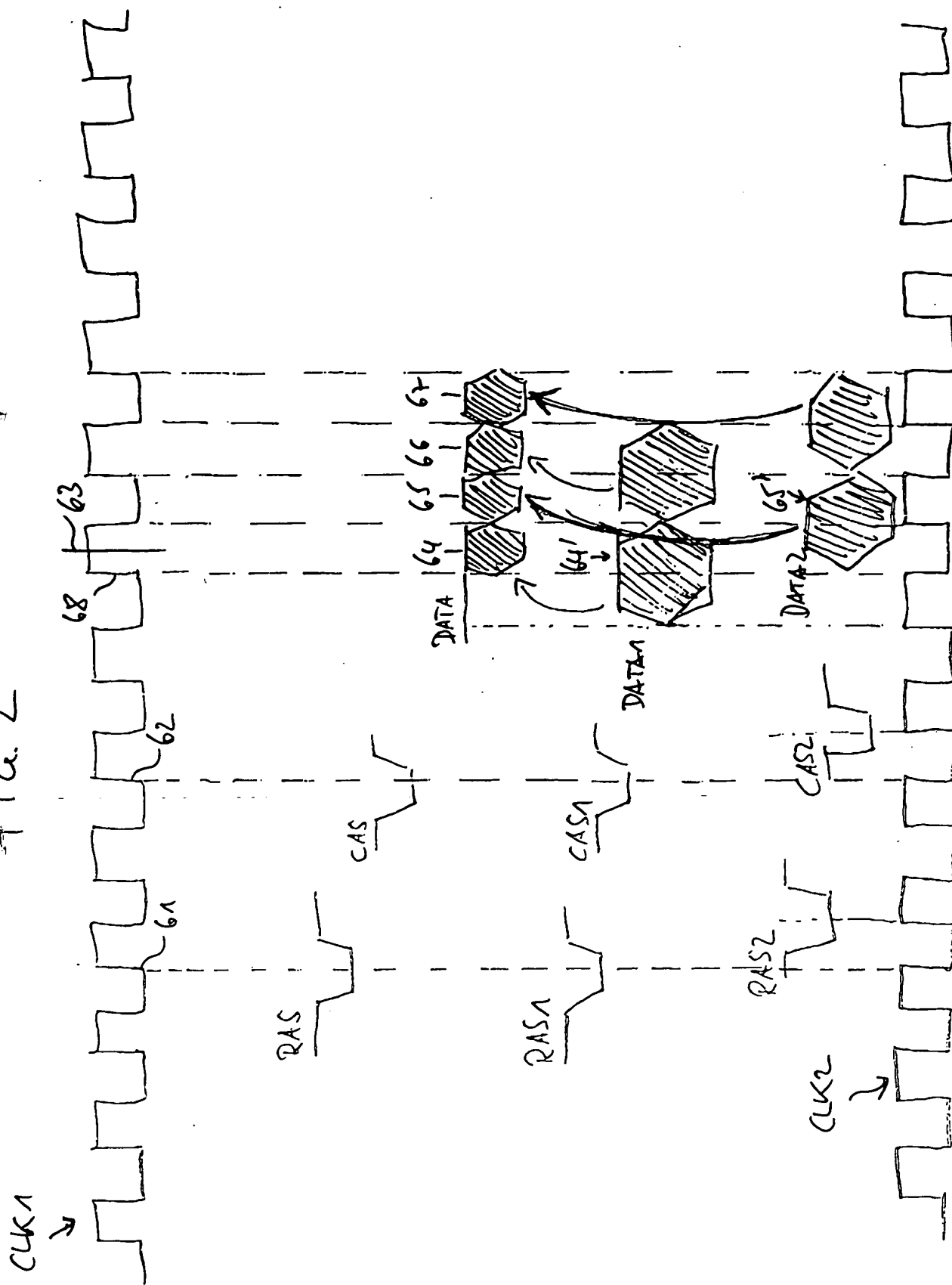


FIG. 3

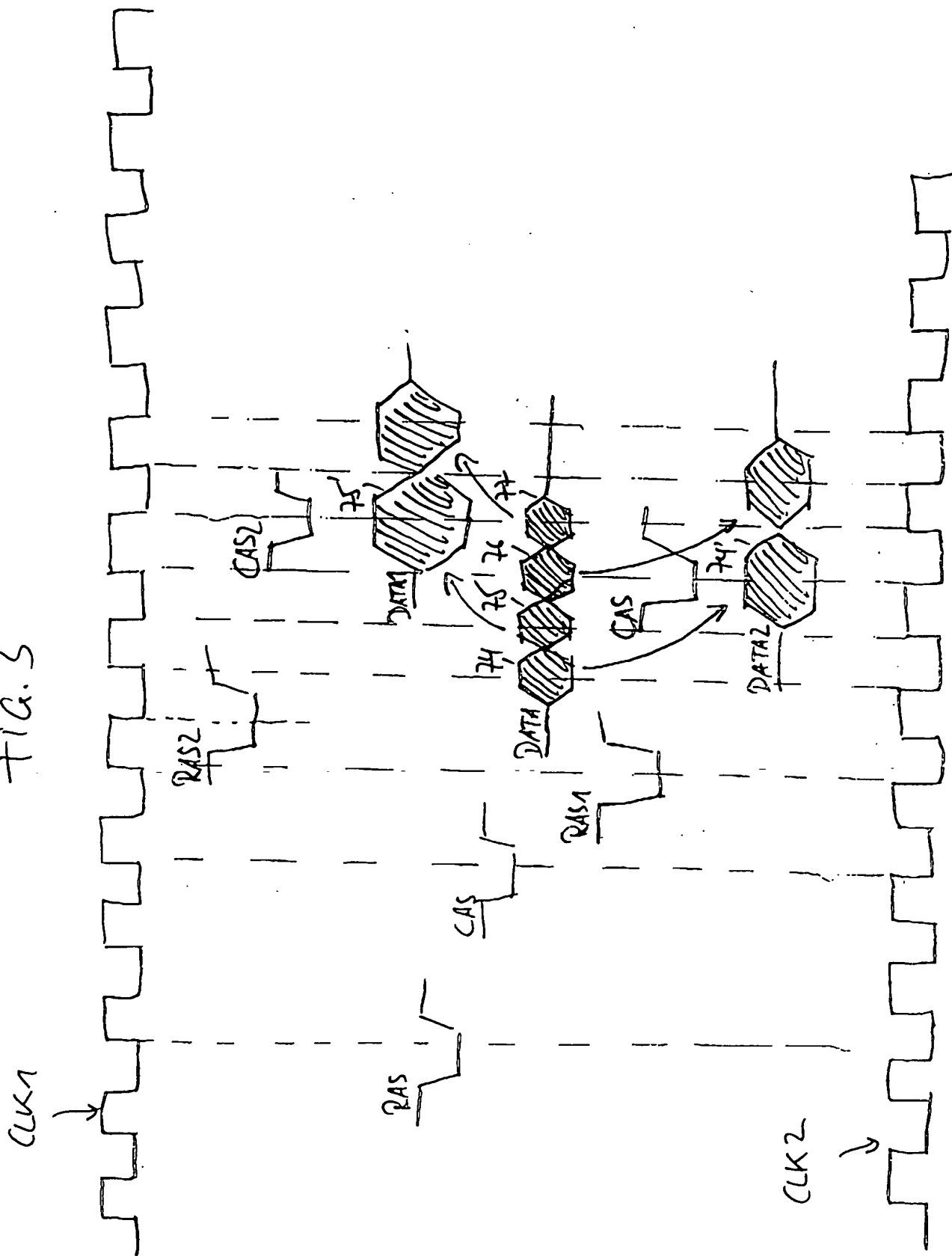


Fig. 1

